

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-084014

(43)Date of publication of application : 31.03.1998

(51)Int.Cl.

H01L 21/60

(21)Application number : 09-138579

(71)Applicant : SHINKO ELECTRIC IND CO LTD

(22)Date of filing : 28.05.1997

(72)Inventor : AZUMA MITSUTOSHI
AKAGAWA MASATOSHI

(30)Priority

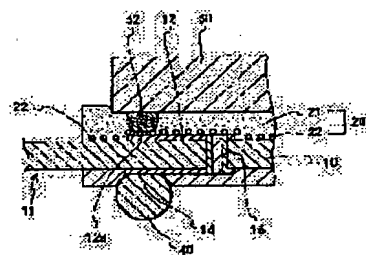
Priority number : 08190409 Priority date : 19.07.1996 Priority country : JP

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify a manufacturing process, and to improve production efficiency by suitably treating a plurality of circuit boards.

SOLUTION: An anisotropic conductive bonding agent layer 20, consisting of conductive particles dispersed into thermosetting or thermoplastic resin material, is formed corresponding to a semiconductor chip mount region on the surface where the electrode terminal junction part 120 is provided on the band-like board 1 where an electrode terminal junction part 12a is provided in the same arrangement as the electrode terminal 32 formed on the semiconductor chip 30 inside a semiconductor chip mounted region. Then, this anisotropic conductive bonding agent layer 20 is softened, the semiconductor chip 30 is made to face to an electrode terminal 32 and the above-mentioned electrode junction part 12a, the electrode terminal 30 and the electrode terminal junction part 12a are electrically connected through conductive particles 22 by pressing the anisotropic conductive bonding agent layer 20, and they are integrally connected to the circuit board 10.



LEGAL STATUS

[Date of request for examination] 14.02.2001

[Date of sending the examiner's decision of rejection] 08.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] To the field in which said electrode terminal joint of the band-like substrate which put in a row much circuit boards in which the electrode terminal joint was prepared to the longitudinal direction, and was formed in the way by the same arrangement as the electrode terminal formed in the semiconductor chip among semiconductor chip loading fields was prepared After forming the anisotropic conductive adhesives layer which an electric conduction particle is distributed and changes in thermosetting or thermoplastics material at least corresponding to said semiconductor chip loading field, Soften said anisotropic conductive adhesives layer and an electrode terminal and said electrode terminal joint are made for said semiconductor chip to counter. The manufacture approach of the semiconductor device characterized by joining to one at said circuit board while pressurizing said anisotropic conductive adhesives layer and connecting electrically said electrode terminal and said electrode terminal joint through said electric conduction particle.

[Claim 2] The manufacture approach of the semiconductor device according to claim 1 characterized by said anisotropic conductive adhesives layer consisting of an anisotropic conductive resin film.

[Claim 3] The manufacture approach of the semiconductor device according to claim 1 or 2 characterized by said circuit board being a flexible resin substrate.

[Claim 4] The manufacture approach of the semiconductor device according to claim 1, 2, or 3 characterized by forming said anisotropic conductive adhesives layer in the shape of a frame along with said electrode terminal joint.

[Claim 5] The manufacture approach of a semiconductor device according to claim 1, 2, 3, or 4 that said anisotropic conductive adhesives layer is characterized by covering to a single string including the semiconductor chip loading field of said circuit board at least along with the longitudinal direction of said band-like substrate.

[Claim 6] Said circuit board is the manufacture approach of the semiconductor device according to claim 1, 2, 3, 4, or 5 characterized by joining an external connection terminal to said land after equipping the opposite side of the field in which said circuit pattern was formed with the land electrically connected with the circuit pattern and carrying said semiconductor chip in said circuit board.

[Claim 7] The semi-conductor wafer with which two or more semiconductor chips with which the bump-like electrode terminal was prepared were formed, The wafer loading [each of said semiconductor chip] substrate with which the electrode terminal joint was prepared by the same arrangement as said electrode terminal It is the manufacture approach of the semiconductor device which said electrode terminal and said electrode terminal joint are made to counter, connects electrically said electrode terminal and said electrode terminal joint using the anisotropic conductive adhesives which an electric conduction particle is distributed and change in resin material, and is joined to one. The anisotropic conductive adhesives layer which consists of said anisotropic conductive adhesives is formed in the field in which said electrode terminal joint of said wafer loading substrate was formed. While carrying out alignment of said semi-conductor wafer and said wafer loading substrate and joining to one through said anisotropic conductive adhesives layer, after connecting said electrode terminal and electrode terminal joint electrically, The manufacture approach of the semiconductor device characterized by carrying out

the dicing of said semi-conductor wafer and said wafer loading substrate, and dividing them into the piece of an individual in accordance with the periphery configuration of each of said semiconductor chip. [Claim 8] The manufacture approach of the semiconductor device according to claim 7 characterized by preparing the slit along the division location of said wafer loading substrate.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor device.

[0002]

[Description of the Prior Art] The semiconductor device which carried the semiconductor chip in the circuit board by the conventional flip-chip-bonding method at drawing 13 is shown. The electrode terminal 32 is formed in the field joined to the circuit board 10 of a semiconductor chip 30 so that it may be joined to electrode terminal joint 12a of the circuit pattern formed in the circuit board 10 of the piece of an individual. The semiconductor chip 30 which attached the conductive matter 50, such as solder, at the tip of the electrode terminal 32 is mounted on the circuit board 10. At this time, it is made to correspond to electrode terminal joint 12a formed in the circuit pattern 12 of the circuit board 10, and an electrode terminal 32 is laid. Melting of the conductive matter 50 is carried out by heating in the condition, and said circuit pattern 12 is electrically connected to an electrode terminal 32, next the under-filling material 52 (mainly epoxy resin) is passed and heated between a semiconductor chip 30 and the circuit board 10, and the under-filling material 52 is heated and stiffened (cure process). And a semiconductor device is completed by joining external connection terminals, such as a solder ball and a lead pin, to the land 14 formed in the rear face of the field in which the circuit pattern 12 of the circuit board 10 was formed.

[0003]

[Problem(s) to be Solved by the Invention] However, by the manufacture approach of the above-mentioned semiconductor device, since the process filled up with the aforementioned under-filling material 52 and the cure process are required, the technical problem that productive efficiency is bad occurs. Moreover, a semiconductor chip is carried every circuit board 10 of the piece of an individual, and the technical problem that productive efficiency is bad occurs in carrying out processing which fixes. Furthermore, since there is no adhesive strength in itself when the paste containing filler metal is used for said conductive matter 50, the technical problem that it is easy to generate a location gap of the semiconductor chip carried in the circuit board 10 occurs.

[0004] Then, the purpose of this invention is to offer the manufacture approach of the semiconductor device which processes two or more circuit boards suitably, and can improve productive efficiency while simplifying a process.

[0005]

[Means for Solving the Problem] This invention is equipped with the next configuration in order to attain the above-mentioned purpose. This invention to namely, the field in which said electrode terminal joint of the band-like substrate which put in a row much circuit boards in which the electrode terminal joint was prepared to the longitudinal direction, and was formed in the way by the same arrangement as the electrode terminal formed in the semiconductor chip among semiconductor chip loading fields was prepared After forming the anisotropic conductive adhesives layer which an electric conduction particle is distributed and changes in thermosetting or thermoplastics material at least corresponding to said semiconductor chip loading field, Soften said anisotropic conductive adhesives layer and an electrode terminal and said electrode terminal joint are made for said semiconductor chip to counter. While pressurizing said anisotropic conductive adhesives layer and connecting electrically said electrode terminal and said electrode terminal joint through said electric conduction particle, it is characterized by joining to one at said circuit board.

[0006] Moreover, it can manufacture efficiently that continuation delivery can be suitably performed with a reel-like gestalt, and the flash of adhesives can be controlled by forming said anisotropic conductive adhesives layer in the shape of a frame along with said electrode terminal joint etc. because said circuit board is [that said anisotropic conductive adhesives layer consists of an anisotropic conductive resin film, and] a flexible resin substrate. Moreover, said anisotropic conductive adhesives layer can form an anisotropic conductive adhesives layer in a band-like substrate efficiently along with the longitudinal direction of said band-like substrate by covering to a single string including the semiconductor chip loading field of said circuit board at least.

[0007] Moreover, said circuit board equips the opposite side of the field in which said circuit pattern was formed with the land electrically connected with the circuit pattern, and after said semiconductor chip is carried in said circuit board, it can manufacture a semiconductor device efficiently by joining an external connection terminal to said land.

[0008] Moreover, the semi-conductor wafer with which two or more semiconductor chips with which the bump-like electrode terminal was prepared were formed, The wafer loading [each of said semiconductor chip] substrate with which the electrode terminal joint was prepared by the same arrangement as said electrode terminal It is the manufacture approach of the semiconductor device which said electrode terminal and said electrode terminal joint are made to counter, connects electrically said electrode terminal and said electrode terminal joint using the anisotropic conductive adhesives which an electric conduction particle is distributed and change in resin material, and is joined to one. The anisotropic conductive adhesives layer which consists of said anisotropic conductive adhesives is formed in the field in which said electrode terminal joint of said wafer loading substrate was formed. While carrying out alignment of said semi-conductor wafer and said wafer loading substrate and joining to one through said anisotropic conductive adhesives layer, after connecting said electrode terminal and electrode terminal joint electrically, It is characterized by carrying out the dicing of said semi-conductor wafer and said wafer loading substrate, and dividing them into the piece of an individual in accordance with the periphery configuration of each of said semiconductor chip. Moreover, it can divide into the piece of an individual easily by having prepared the slit along the division location of said wafer loading substrate.

[0009]

[Embodiment of the Invention] Hereafter, the gestalt of the suitable operation concerning this invention is explained to a detail with an accompanying drawing. Drawing 1 is the sectional view showing one example of the semiconductor device formed by the manufacture approach of this invention. Moreover, drawing 2 is the sectional view showing one example of the anisotropic conductive adhesives used for this invention. 10 is the circuit board and the circuit pattern 12 is formed in the front face. A majority of these circuit boards 10 are put in a row to a longitudinal direction, and the band-like substrate 11 is formed. It is not limited, for example, especially the quality of the material, a gestalt, etc. of the circuit board 10 are the substrate of the shape of the shape of a sheet, such as FPC (Flexible Printed Circuit)

and TAB, and a reel, or PCB (PrintedCircuit Board). A ceramic substrate can be used. Moreover, the land 14 to which an external connection terminal is connected is formed in the rear face of the circuit board 10. The land 14 is electrically connected with said circuit pattern 12 by the well-known connecting means. For example, the land 14 is electrically connected with the circuit pattern 12 through the beer (refer to drawing 3) filled up with the conductive matter in the through tube, or the through hole 16 which performed metal plating to the through tube internal surface.

[0010] 20 is anisotropic conductive adhesives (ACF) and is stuck on the circuit board 10. Thereby, it is each circuit board 10 of the band-like substrate 11 at least to said band-like substrate 11...

Corresponding to the semiconductor chip loading field, it is in the condition that the anisotropic conductive adhesives layer was formed. In the thermosetting (epoxy resin etc.) or thermoplastic adhesives (POREORESHIN resin, polyimide resin, etc.) 21, the electric conduction particle 22 is distributed and the anisotropic conductive adhesives 20 are formed in the shape of a thin film. As shown in drawing 2 , the electric conduction particle 22 is arranged, after it appeared in one field side of 21 layers of adhesives further and abbreviation regular intervals have distributed, and it is arranged with a uniform particle size (for example, about 5 micrometers). The quality of the material has that by which gilding was given to the solid sphere of nickel and nickel, the thing by which gilding was given to the spherical resin material front face. Moreover, there is epoxy resin film etc. as adhesives 21 which consist of the resin which is the base material of anisotropic conductive adhesives. About several 10 micrometers of the thickness of the anisotropic conductive adhesives 20, for example, 50 micrometers, are common. Drawing 2 shows the condition that anisotropic conductive sheet-like adhesives are protected with the releasing papers 24 and 26 stuck on the both sides, respectively. A releasing paper 24 is stripped, it sticks on the circuit board 10, then a releasing paper 26 is stripped, and a semiconductor chip 30 is stuck. In addition, anisotropic conductive adhesives may apply a paste-like thing to each chip loading field of a substrate, respectively.

[0011] Corresponding to electrode terminal joint 12a formed in the circuit pattern 12, the electrode terminal 32 is formed in the semiconductor chip 30 in the field pasted up on the circuit board 10 through the anisotropic conductive adhesives 20. The electrode terminal 32 is formed in the putt section of a semiconductor chip 30, for example, is formed of the golden bump. This semiconductor chip 30 is located and carried on the anisotropic conductive adhesives 20 stuck on the semiconductor chip loading field on the circuit board 10. And while heating in order to soften the adhesives 21 of the anisotropic conductive adhesives 20, a semiconductor chip 30 is pressurized in the direction made to approach the circuit board 10. In addition, since anisotropic conductive adhesives are softened as this process, a chip may be carried and heating pressurization may be carried out. An electrode terminal 32 will both be in the condition of running [layer / of adhesives 21] and contacting the electric conduction particle 22 and of inserting the electric conduction particle 22 between electrode terminal joint 12a, by this, the electric conduction particle 22 is placed between electrode terminal joint 12a by the electrode terminal 32, and it is electrically connected to it. By cooling after that, adhesives 21 can be stiffened and a semiconductor chip 30 can be joined to the circuit board 10 easily and certainly.

[0012] For example, a circuit pattern 12 is copper, and when the electric conduction particle 22 is formed of the solid sphere of nickel, and the electric conduction particle 22 is inserted with electrode terminal joint 12a and an electrode terminal 32 and sinks into each, electric connection is made. [while the electrode terminal 32 is formed withgold] suitably. Moreover, when the electric conduction particle 22 sinks into both electrode terminal joint 12a and the electrode terminal 32, an operation of a wedge is produced, and a semiconductor chip 30 can prevent sliding or exfoliating to the circuit board 10. Furthermore, since it acts so that that the electric conduction particle 22 intervenes so that it may sink into both electrode terminal joint 12a and the electrode terminal 32 may absorb the error to variations (error), such as height of an electrode terminal 32, electric connection can be obtained certainly.

[0013] Next, based on drawing 3 , the manufacture approach of a semiconductor device is explained in order of a process. First, a releasing paper 24 is stripped to the semiconductor chip loading field on each

circuit board 10 which constitutes the band-like substrate 11 as shown in drawing 3 (a), and the anisotropic conductive adhesives 20 formed in the shape of [of the piece of an individual] a film are stuck on it. Next, a releasing paper 26 is stripped (drawing 3 (b)), a semiconductor chip is carried on it and temporary adhesion is carried out (drawing 3 (c)). And it mounts on the condition of having positioned the semiconductor chip 30 on the anisotropic conductive adhesives 20 so that an electrode terminal 32 might be in agreement with electrode terminal joint 12a of a circuit pattern. In the condition, it heats pressurizing in the direction which sticks a semiconductor chip 30 to the circuit board 10, and cools after that (drawing 3 (d)). Thereby, while connecting an electrode terminal 32 to electrode terminal joint 12a electrically through the electric conduction particle 22, a semiconductor chip 30 is pasted up with the thermosetting or thermoplastic adhesives 21 of the anisotropic conductive adhesives 20 on the circuit board 10, and a semiconductor chip 30 can be suitably joined on the circuit board 10. According to the same process as a semiconductor device conventional one side resin seal type, an external connection terminal is joined to the land 14 of the rear face of the circuit board 10 henceforth (drawing 3 (e)). The solder ball 40 can be used as an external connection terminal. 39 is a solder resist. And finally it separates to the piece of an individual (a semiconductor device is completed.). (drawing 3 R> 3 (f)) According to the above process, an under-filling process like the conventional example and a cure process become unnecessary, and can improve productive efficiency. Moreover, since a semiconductor chip 10 is pasted up and mounted on the anisotropic conductive adhesives 20, it can prevent the location gap after the mounting, and its yield improves.

[0014] Drawing 4 –6 are a top view explaining being stuck at least corresponding to the semiconductor chip loading field of the circuit board 10, and an anisotropic conductive adhesives layer being formed while anisotropic conductive adhesives (20A, 20B, 20C) are supplied with a sheet-like gestalt along with the band-like substrate 11 with which two or more circuit boards 10 stand in a row and grow into a longitudinal direction. Drawing 4 (a) is a top view explaining the band-like substrate 11. Both the band-like substrate 11 and anisotropic conductive adhesives 20A are formed in band-like, both are continuously supplied to drawing 4 (b), and the condition that the anisotropic conductive sheet-like adhesives 20 including the semiconductor chip loading field on the circuit board 10 pasted up continuously is shown. As a band-like substrate 11, there is a strip-of-paper-like thing or a thing of the shape of a flexible reel which lets out from one reel and is rolled round by the reel of another side. PCB and a ceramic substrate correspond as a band-like strip-of-paper-like substrate 11, and FPC and a TAB tape correspond as a reel-like thing. Moreover, as a band-like substrate, it is good also as a multi-line in two or more trains in the circuit board. For example, the circuit board may be formed in five-line five trains. Moreover, it lets out from a reel, a releasing paper 24 (refer to drawing 2) exfoliates, and anisotropic conductive adhesives 20A is pasted up on each circuit board of the band-like substrate 11. According to this, anisotropic conductive adhesives 20A is efficiently stuck on a substrate, and an anisotropic conductive adhesives layer can be formed. In addition, in order to form an anisotropic conductive adhesives layer on the circuit board 10, anisotropic conductive adhesives may be applied on the circuit board 10.

[0015] Moreover, the condition that anisotropic conductive adhesives 20B formed in the rectangle of the piece of an individual was stuck on said circuit board 10 is shown in drawing 5 . The condition that anisotropic conductive adhesives 20C in which the semiconductor chip of said circuit board 10 was formed in the shape of [of the piece of an individual] a rectangle frame only corresponding to the field connected electrically was stuck on drawing 6 is shown. Thus, even if it is the anisotropic conductive adhesives of the piece of an individual, it is made to correspond with each circuit board in the shape of [band-like] a releasing paper, and the anisotropic conductive adhesives (film-like thing) of the piece of an individual are formed, if it sends with the band-like releasing paper, the circuit board 10 which stood in a row can be pasted efficiently continuously, and productive efficiency can be improved. Moreover, if anisotropic conductive adhesives are formed in the shape of a frame in this way and it pastes up, in case a semiconductor chip is pressurized and it carries on the circuit board, there is an advantage which

can control the amount which the adhesives inserted between a semiconductor chip and a substrate protrude into the perimeter of a semiconductor chip with welding pressure.

[0016] The above-mentioned operation gestalt is the approach of carrying a semiconductor chip in a band-like substrate using anisotropic conductive adhesives (ACF), and manufacturing a semiconductor device. The following operation gestalten show how to manufacture a semiconductor device as an approach of manufacturing a semiconductor device still more efficiently, using the semi-conductor wafer before carrying out dicing to the piece of an individual. Drawing 7 is the top view of the semi-conductor wafer 50 before carrying out dicing. Although the dicing of the semi-conductor wafer 50 is carried out to the piece of an individual at a back process, an electrode terminal 54 is first formed in the pad 52 for all the external outputs of each semiconductor chip in the shape of a bump in the condition of a wafer. The condition of having formed the electrode terminal 54 in drawing 8 is expanded and shown. The example of illustration forms a stud bump by the wirebonding method. An electrode terminal 54 can be formed also by the galvanizing method.

[0017] Next, it mounts on the large-sized wafer loading substrate 60 in which the whole semi-conductor wafer 50 can carry the semi-conductor wafer 50 in which the electrode terminal 54 was formed, through the anisotropic conductive adhesives 20. Some wafer loading substrates 60 are expanded and shown in drawing 9. The wafer loading substrate 60 is made in agreement with the array of the electrode terminal 54 of the semiconductor chip currently formed in the semi-conductor wafer 50, and forms electrode terminal joint 12a. The circuit board 10 shows 1 unit part divided into the piece of an individual by dicing. 62 is the slit prepared along the division location at the time of dividing a wafer loading substrate and considering as the piece of an individual. The circuit board 10 is mutually connected in a corner part. After the reason for forming a slit 62 in the division location of the wafer loading substrate 60 carries the semi-conductor wafer 50 in the wafer loading substrate 60, in case a dicing cutting edge divides into the piece of an individual, it is for a dicing cutting edge to shorten die length which cuts the wafer loading substrate 60.

[0018] Drawing 10 (a) The sectional view of the wafer loading substrate 60 is shown. The configuration of the wafer loading substrate 60 is the same as the configuration of the band-like substrate 11 mentioned above, electrode terminal joint 12a is formed in a semiconductor chip loading side, and the land 14 is formed in the plane of composition of an external connection terminal. In order to mount the semi-conductor wafer 50 on this wafer loading substrate 60, the same anisotropic conductive adhesives 20 as what was used with the operation gestalt mentioned above in the field which formed electrode terminal joint 12a with the wafer loading substrate 60 are pasted up (drawing 10 (b)). In case the anisotropic conductive adhesives 20 are pasted up, the anisotropic conductive adhesives 20 are pressurized a little at the wafer loading substrate 60, and it can avoid filling up slit 62 part with anisotropic conductive adhesives 20a by removing a releasing paper 26.

[0019] After pasting up the anisotropic conductive adhesives 20, alignment of the wafer loading substrate 60 and the semi-conductor wafer 50 is carried out, and temporary adhesion of the semi-conductor wafer 50 is carried out. While heating and unifying, pressing the semi-conductor wafer 50 to the wafer loading substrate 60 where temporary adhesion is carried out, electrode terminal joint 12a of the wafer loading substrate 60 and the electrode terminal 54 of the semi-conductor wafer 50 are electrically connected through the electric conduction particle currently distributed in the anisotropic conductive adhesives 20 (drawing 10 (c)). With this operation gestalt, since the solder ball 40 is used as an external connection terminal, the solder ball 40 is joined to a land 14 next. Of course, it is also possible to use connection terminals other than solder ball 40 as an external connection terminal, and not to join an external connection terminal.

[0020] Finally the dicing of the semi-conductor wafer 50 and the wafer loading substrate 60 which were joined to one is carried out, and a semiconductor device is cut down and made into the piece of an individual. Drawing 10 (d) How to carry out the dicing of the semi-conductor wafer 50 and the wafer loading substrate 60 using the dicing cutting edge 70 is shown. Dicing is performed in accordance with

the periphery configuration of the semiconductor chip of the semi-conductor wafer 50. Since the slit 62 is formed in the wafer loading substrate 60, the range in contact with the wafer loading substrate 60 has the narrow dicing cutting edge 70, the dicing cutting edge 70 almost contacts only the semi-conductor wafer 50, and dicing is carried out. In case dicing is carried out, cutting a dissimilar material to coincidence reduces the sectility ability of a dicing cutting edge, and it has the difficulty which damages a dicing cutting edge. If the slit 62 is formed in the wafer loading substrate 60 like this operation gestalt, since distance which the anisotropic conductive adhesives 20 and the dicing cutting edge 70 touch will be made short, there is an advantage that dicing can be certainly carried out in the condition of having made the semi-conductor wafer 50 and the wafer loading substrate 60 unifying. Of course, even when the veneer-like thing which does not form a slit 62 as a wafer loading substrate 60 is used, after carrying out alignment of the semi-conductor wafer 50 and the wafer loading substrate 60 and unifying, a semiconductor device can be obtained by the approach of carrying out dicing to the piece of an individual. Drawing 11 is the sectional view of the semiconductor device obtained by the approach of this operation gestalt.

[0021] In addition, although the anisotropic conductive adhesives 20 were stuck on the wafer loading substrate 60 which prepared electrode terminal joint 12a, the semi-conductor wafer 50 was joined to this and the semiconductor device was obtained with the above-mentioned operation gestalt. As shown in drawing 12, after laminating the anisotropic conductive adhesives 20 to the semi-conductor wafer 50 in which the electrode terminal 54 was formed, contrary to this approach (drawing 12 (a)), It is also possible to carry out alignment of the wafer loading substrate 60, to join, to unify through the anisotropic conductive adhesives 20, to carry out the dicing of the semi-conductor wafer 50 and the wafer loading substrate 60, and to consider as a semiconductor device.

[0022] The method of dividing into the piece of an individual and obtaining a semiconductor device, after joining the above semi-conductor wafer 50 and wafer loading substrate 60 to one through the anisotropic conductive adhesives 20 is very effective in terms of the manufacture effectiveness of a semiconductor device. That is, it becomes possible to be able to raise productivity effectively compared with the approach of dealing with the semiconductor chip of the piece of an individual, since semi-conductor wafer 50 itself is used, and for the arrangement consistency of the circuit board 10 which can be used for a semiconductor device to increase, since the wafer loading substrate 60 arranges the range which serves as the circuit board 10 by the same arrangement as the semi-conductor wafer 50, and to lose the futility of a substrate, and to lower the manufacturing cost of a substrate sharply.

[0023]

[Effect of the Invention] According to this invention, a semiconductor chip is joinable suitable for the circuit board by pressurizing, while preparing an anisotropic conductive adhesives layer in the semiconductor chip loading field on each circuit board of a band-like substrate beforehand and softening the anisotropic conductive adhesives layer. Therefore, while an under-filling process like the conventional example and a cure process become unnecessary and simplify a process, by using a band-like substrate, two or more circuit boards can be processed to coincidence, and productive efficiency can be raised. Moreover, the higher efficacy of being able to raise the manufacture effectiveness of a semiconductor device further is done so by the approach of manufacturing using a semi-conductor wafer and a wafer loading substrate.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing one example of the semiconductor device formed by the manufacture approach of this invention.

[Drawing 2] It is the sectional view showing one example of the anisotropic conductive adhesives used for this invention.

[Drawing 3] It is process drawing explaining the manufacture approach of this invention.

[Drawing 4] It is a top view explaining the condition that band-like anisotropic conductive adhesives are stuck on a band-like substrate.

[Drawing 5] It is the top view showing the condition that the anisotropic conductive adhesives of the piece of an individual were stuck in a band-like substrate.

[Drawing 6] It is the top view showing the condition that the anisotropic conductive adhesives of the piece of ***** were stuck in a band-like substrate.

[Drawing 7] It is the top view of a semi-conductor wafer.

[Drawing 8] It is a sectional view in the condition of having formed the electrode terminal of a stud bump configuration in the semi-conductor wafer.

[Drawing 9] It is the top view expanding and showing some wafer loading substrates.

[Drawing 10] It is the explanatory view showing how to manufacture a semiconductor device using a semi-conductor wafer and a wafer loading substrate.

[Drawing 11] It is the sectional view of the semiconductor device obtained by this invention approach.

[Drawing 12] It is the explanatory view showing how to join a wafer loading substrate to a semi-conductor wafer, and to manufacture a semiconductor device.

[Drawing 13] It is the sectional view showing the semiconductor device formed by the conventional manufacture approach.

[Description of Notations]

10 Circuit Board

11 Band-like Substrate

12 Circuit Pattern

12a Electrode terminal joint

14 Land

20 Anisotropic Conductive Adhesives

21 Adhesives

22 Electric Conduction Particle

24 Releasing Paper

26 Releasing Paper

30 Semiconductor Chip

32 Electrode Terminal

40 Solder Ball

50 Semi-conductor Wafer

54 Electrode Terminal

60 Wafer Loading Substrate

62 Slit

70 Dicing Cutting Edge

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-84014

(43) 公開日 平成10年(1998) 3月31日

(51) Int.Cl.⁶
H 0 1 L 21/60

識別記号
3 1 1

庁内整理番号

F I
H 0 1 L 21/60

技術表示箇所

3 1 1 S

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平9-138579

(22) 出願日 平成9年(1997) 5月28日

(31) 優先権主張番号 特願平8-190409

(32) 優先日 平8(1996) 7月19日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舍利田711番地

(72) 発明者 東 光敏

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(72) 発明者 赤川 雅俊

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

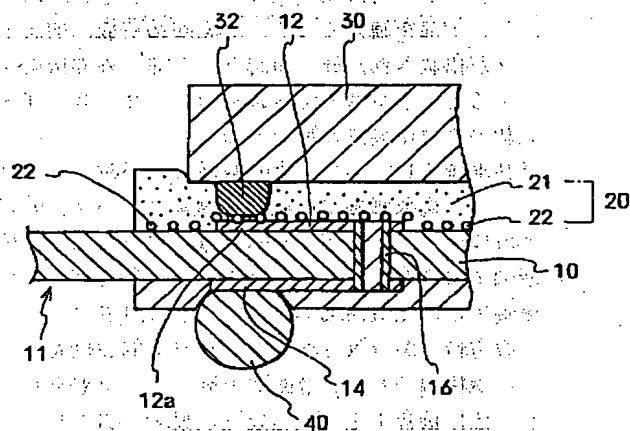
(74) 代理人 弁理士 綿貫 隆夫 (外1名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 工程を簡略化すると共に複数の回路基板を好適に処理して生産効率を向上する。

【解決手段】 半導体チップ搭載領域の内方に半導体チップ30に形成された電極端子32と同一の配置で電極端子接合部12aが設けられた回路基板10を長手方向に多数個連ねて形成された带状基板11の前記電極端子接合部が設けられた面に、少なくとも前記半導体チップ搭載領域に対応して、熱硬化性または熱可塑性樹脂材の中に導電粒子が分散されて成る異方導電性接着剤層20を形成した後、前記異方導電性接着剤層20を軟化させ、前記半導体チップ30を、電極端子32と前記電極端子接合部12aとを対向させ、前記異方導電性接着剤層20を加圧して前記電極端子32と前記電極端子接合部12aとを前記導電粒子22を介して電気的に接続するとともに、前記回路基板10に一体に接合する。



(2)

1

【特許請求の範囲】

【請求項1】 半導体チップ搭載領域の内方に半導体チップに形成された電極端子と同一の配置で電極端子接合部が設けられた回路基板を長手方向に多数個連ねて形成された带状基板の前記電極端子接合部が設けられた面に、少なくとも前記半導体チップ搭載領域に対応して、熱硬化性または熱可塑性樹脂材の中に導電粒子が分散されて成る異方導電性接着剤層を形成した後、前記異方導電性接着剤層を軟化させ、前記半導体チップを、電極端子と前記電極端子接合部とを対向させ、前記異方導電性接着剤層を加圧して前記電極端子と前記電極端子接合部とを前記導電粒子を介して電氣的に接続するとともに、前記回路基板に一体に接合することを特徴とする半導体装置の製造方法。

【請求項2】 前記異方導電性接着剤層が異方導電性樹脂フィルムから成ることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記回路基板がフレキシブル樹脂基板であることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 前記異方導電性接着剤層を、前記電極端子接合部に沿って棒状に形成することを特徴とする請求項1、2または3記載の半導体装置の製造方法。

【請求項5】 前記異方導電性接着剤層が、前記带状基板の長手方向に沿って、少なくとも前記回路基板の半導体チップ搭載領域を含んで一連に被覆することを特徴とする請求項1、2、3または4記載の半導体装置の製造方法。

【請求項6】 前記回路基板は、前記配線パターンが形成された面の反対面に配線パターンと電氣的に接続されたランド部を備えており、前記回路基板に前記半導体チップが搭載された後、前記ランド部に外部接続端子を接合することを特徴とする請求項1、2、3、4または5記載の半導体装置の製造方法。

【請求項7】 バンプ状の電極端子が設けられた半導体チップが複数個形成された半導体ウエハと、前記各々の半導体チップに対応して前記電極端子と同一の配置で電極端子接合部が設けられたウエハ搭載基板とを、前記電極端子と前記電極端子接合部とを対向させ、樹脂材の中に導電粒子が分散されて成る異方導電性接着剤を用いて前記電極端子と前記電極端子接合部とを電氣的に接続して一体に接合する半導体装置の製造方法であって、前記ウエハ搭載基板の前記電極端子接合部を形成した面に前記異方導電性接着剤からなる異方導電性接着剤層を形成し、前記半導体ウエハと前記ウエハ搭載基板を位置合わせし、前記異方導電性接着剤層を介して一体に接合すると共に前記電極端子と電極端子接合部とを電氣的に接続した後、前記各半導体チップの外周形状に沿って前記半導体ウエ

2

ハおよび前記ウエハ搭載基板をダイシングして個片に分割することを特徴とする半導体装置の製造方法。

【請求項8】 前記ウエハ搭載基板の分割位置に沿ってスリットが設けられていることを特徴とする請求項7記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関する。

【0002】

【従来の技術】図13に従来のフリップチップボンディング法により半導体チップを回路基板に搭載した半導体装置を示す。半導体チップ30の回路基板10に接合される面には、個片の回路基板10に形成された配線パターンの電極端子接合部12aに接合されるように電極端子32が設けられている。その電極端子32の先端に、はんだなどの導電性物質50を付けた半導体チップ30を、回路基板10上にマウントする。このとき、回路基板10の配線パターン12に形成された電極端子接合部12aに対応させ、電極端子32が載置される。その状態で加熱することで導電性物質50を溶融させて電極端子32と前記配線パターン12を電氣的に接続させ、次に、半導体チップ30と回路基板10との間に、アンダーフィル材52（主にエポキシ樹脂）を流して加熱し、そのアンダーフィル材52を加熱し硬化（キュア工程）させる。そして、はんだボールやリードピンなどの外部接続端子を回路基板10の配線パターン12を形成した面の裏面に形成したランド部14に接合することで、半導体装置が完成する。

【0003】

【発明が解決しようとする課題】しかしながら、上記の半導体装置の製造方法では、前記のアンダーフィル材52を充填する工程、およびキュア工程が必要であるため、生産効率が悪いという課題がある。また、個片の回路基板10毎に半導体チップを搭載し、固着する処理をするのでは生産効率が悪いという課題がある。さらに、前記導電性物質50に金属フィラー入りのペーストを用いた場合には、それ自身には接着力がないため、回路基板10に搭載した半導体チップの位置ずれが発生し易いという課題がある。

【0004】そこで、本発明の目的は、工程を簡略化すると共に複数の回路基板を好適に処理して生産効率を向上できる半導体装置の製造方法を提供することにある。

【0005】

【課題を解決するための手段】本発明は、上記目的を達成するために次の構成を備える。すなわち、本発明は半導体チップ搭載領域の内方に半導体チップに形成された電極端子と同一の配置で電極端子接合部が設けられた回路基板を長手方向に多数個連ねて形成された带状基板の前記電極端子接合部が設けられた面に、少なくとも前記

(3)

3

半導体チップ搭載領域に対応して、熱硬化性または熱可塑性樹脂材の中に導電粒子が分散されて成る異方導電性接着剤層を形成した後、前記異方導電性接着剤層を軟化させ、前記半導体チップを、電極端子と前記電極端子接合部とを対向させ、前記異方導電性接着剤層を加圧して前記電極端子と前記電極端子接合部とを前記導電粒子を介して電氣的に接続するとともに、前記回路基板に一体に接合することを特徴とする。

【0006】また、前記異方導電性接着剤層が異方導電性樹脂フィルムから成ること、前記回路基板がフレキシブル樹脂基板であることで、リール状の形態で連続送りを好適に行うことができ、前記異方導電性接着剤層を、前記電極端子接合部に沿って枠状に形成することで、接着剤のはみ出しを抑制できるなど、効率良く製造できる。また、前記異方導電性接着剤層が、前記帯状基板の長手方向に沿って、少なくとも前記回路基板の半導体チップ搭載領域を含んで一連に被覆することで、帯状基板に異方導電性接着剤層を効率良く形成することができる。

【0007】また、前記回路基板は、前記配線パターンが形成された面の反対面に配線パターンと電氣的に接続されたランド部を備えており、前記回路基板に前記半導体チップが搭載された後、前記ランド部に外部接続端子を接合することで、効率よく半導体装置を製造することができる。

【0008】また、バンプ状の電極端子が設けられた半導体チップが複数個形成された半導体ウエハと、前記各々の半導体チップに対応して前記電極端子と同一の配置で電極端子接合部が設けられたウエハ搭載基板とを、前記電極端子と前記電極端子接合部とを対向させ、樹脂材の中に導電粒子が分散されて成る異方導電性接着剤を用いて前記電極端子と前記電極端子接合部とを電氣的に接続して一体に接合する半導体装置の製造方法であって、前記ウエハ搭載基板の前記電極端子接合部を形成した面に前記異方導電性接着剤からなる異方導電性接着剤層を形成し、前記半導体ウエハと前記ウエハ搭載基板を位置合わせし、前記異方導電性接着剤層を介して一体に接合すると共に前記電極端子と電極端子接合部とを電氣的に接続した後、前記各半導体チップの外周形状に沿って前記半導体ウエハおよび前記ウエハ搭載基板をダイシングして個片に分割することを特徴とする。また、前記ウエハ搭載基板の分割位置に沿ってスリットを設けたことにより、容易に個片に分割することができる。

【0009】

【発明の実施の形態】以下、本発明にかかる好適な実施の形態を添付図面と共に詳細に説明する。図1は本発明の製造方法によって形成された半導体装置の一実施例を示す断面図である。また、図2は本発明に用いる異方導電性接着剤の一実施例を示す断面図である。10は回路基板であり、表面に配線パターン12が形成されてい

4

る。この回路基板10を長手方向に多数個連ねて帯状基板11が形成されている。回路基板10の材質および形態等は特に限定されず、例えば、FPC(Flexible Printed Circuit)、TAB等のシート状若しくはリール状の基板、またはPCB(Printed Circuit Board)やセラミック基板を用いることができる。また、回路基板10の裏面には、外部接続端子が接続されるランド14が形成されている。ランド14は前記配線パターン12と、公知の接続手段で電氣的に接続されている。例えば、ランド14は貫通孔内に導電性物質を充填したビア(図3参照)、または貫通孔内壁面に金属めっきを施したスルーホール16などを介して配線パターン12と電氣的に接続されている。

【0010】20は異方導電性接着剤(ACF)であり、回路基板10上に貼着されている。これにより、前記帯状基板11に、少なくともその帯状基板11の各回路基板10・・・の半導体チップ搭載領域に対応して、異方導電性接着剤層が形成された状態となっている。異方導電性接着剤20は、熱硬化性(エポキシ樹脂等)または熱可塑性(ポレオレシン樹脂、ポリイミド樹脂等)の接着剤21の中に導電粒子22が分散されて薄膜状に形成されている。導電粒子22は、例えば、図2に示すように接着剤21層の一方の面側に一層で且つ略等間隔に分散された状態で配列され、均一な粒径(例えば、5 μ m程度)に揃えられている。その材質は、ニッケル、ニッケルの球体に金めっきが施されたもの、球体の樹脂材表面に金めっきが施されたもの等がある。また、異方導電性接着剤の基材である樹脂から成る接着剤21としては、エポキシ樹脂膜等がある。異方導電性接着剤20の厚さは、数10 μ m、例えば50 μ m程度が一般的である。図2は、シート状の異方導電性接着剤が、その両面にそれぞれ貼付された剥離紙24、26で保護されている状態を示す。剥離紙24を剥いで回路基板10に貼着し、次に剥離紙26を剥いで半導体チップ30を貼着する。なお、異方導電性接着剤はペースト状のものを基板の各チップ搭載領域にそれぞれ塗布してもよい。

【0011】半導体チップ30には、回路基板10へ異方導電性接着剤20を介して接着される面に、配線パターン12に形成された電極端子接合部12aに対応して電極端子32が設けられている。電極端子32は、半導体チップ30のパット部に形成されており、例えば金バンプによって形成されている。この半導体チップ30は、回路基板10上の半導体チップ搭載領域に貼着された異方導電性接着剤20上に位置されて搭載される。そして、異方導電性接着剤20の接着剤21を軟化させるべく加熱すると共に、半導体チップ30を回路基板10に近接させる方向へ加圧する。なお、この工程としては、異方導電性接着剤を軟化させておいてからチップを搭載し、加熱加圧してもよい。これにより、電極端子32が、接着剤21の層を突っ切って導電粒子22に接触す

(4)

5

る共に、その導電粒子22を電極端子接合部12aとの間に挟む状態になり、電極端子32が電極端子接合部12aに導電粒子22を介在して電氣的に接続される。その後冷却することによって接着剤21を硬化させて、回路基板10に半導体チップ30を容易且つ確実に接合することができる。

【0012】例えば、配線パターン12が銅であり、電極端子32が金で形成されていると共に、導電粒子22がニッケルの球体によって形成されている場合、導電粒子22が、電極端子接合部12aと電極端子32によって挟まれ、それぞれにめり込むことによって、電氣的な接続が好適になされる。また、導電粒子22が、電極端子接合部12aと電極端子32との両方にめり込むことによって、くさびの作用を生じ、半導体チップ30が回路基板10に対して滑ったり、剥離したりすることを防止できる。さらに、導電粒子22が、電極端子接合部12aと電極端子32との両方にめり込むように介在することが、電極端子32の高さ等のバラツキ（誤差）に対し、その誤差を吸収するように作用するため、電氣的な接続を確実に得ることができる。

【0013】次に図3に基づいて半導体装置の製造方法を工程順に説明する。先ず、図3(a)に示すように带状基板11を構成する各回路基板10上の半導体チップ搭載領域に、個片のフィルム状に形成された異方導電性接着剤20を剥離紙24を剥いで貼着する。次に剥離紙26を剥いで（図3(b)）、その上に半導体チップを搭載して仮接着する（図3(c)）。そして、異方導電性接着剤20上の半導体チップ30を、電極端子32が配線パターンの電極端子接合部12aに一致するように位置決めした状態にマウントする。その状態で、半導体チップ30を回路基板10に密着する方向に加圧しながら加熱し、その後冷却する（図3(d)）。これにより、電極端子接合部12aに電極端子32を導電粒子22を介して電氣的に接続させると共に、回路基板10上に半導体チップ30を異方導電性接着剤20の熱硬化性或いは熱可塑性の接着剤21によって接着して、回路基板10上に半導体チップ30を好適に接合できる。以降は従来の片面樹脂封止タイプの半導体装置と同様の工程により、回路基板10の裏面のランド部14に外部接続端子を接合する（図3(e)）。外部接続端子としては、はんだボール40を利用できる。39はソルダーレジストである。そして、最後に、個片に切り離し（図3(f)）、半導体装置が完成する。以上の工程によれば、従来例のようなアンダーフィル工程、キュア工程が不要になり、生産効率を向上できる。また、半導体チップ10は異方導電性接着剤20に接着されてマウントされるから、そのマウント後の位置ずれを防止でき、歩留りが向上する。

【0014】図4～6は、回路基板10が複数個長手方向に連なって成る带状基板11に沿って、異方導電性接

6

着剤（20A、20B、20C）がシート状の形態で供給されると共に、少なくとも回路基板10の半導体チップ搭載領域に対応して貼着されて、異方導電性接着剤層が形成されることを説明する平面図である。図4(a)は带状基板11を説明する平面図である。図4(b)には、带状基板11と異方導電性接着剤20Aの両方が带状に形成されており、両者が連続的に供給されて、回路基板10上の半導体チップ搭載領域を含めてシート状の異方導電性接着剤20が連続的に接着された状態が示されている。带状基板11としては、短冊状のもの、或いは一方のリールから繰り出されて他方のリールに巻き取られる可撓性のリール状のものがある。短冊状の带状基板11としてはPCB、セラミック基板が該当し、リール状のものとしてはFPC、TABテープが該当する。また、带状基板としては、回路基板を複数列で複数行としてもよい。例えば、回路基板を5行5列に形成してもよい。また、異方導電性接着剤20Aは、リールから繰り出されて、剥離紙24（図2参照）が剥離されて带状基板11の各回路基板上に接着される。これによれば、

基板上に異方導電性接着剤20Aを効率良く貼着して異方導電性接着剤層を形成できる。なお、異方導電性接着剤層を回路基板10上に形成するには、異方導電性接着剤を回路基板10上に塗布してもよい。

【0015】また、図5には、前記回路基板10に、個片の矩形に形成された異方導電性接着剤20Bが、貼着された状態を示している。図6には、前記回路基板10の半導体チップが電氣的に接続される領域のみに対応して、個片の矩形枠状に形成された異方導電性接着剤20Cが、貼着された状態を示している。このように個片の異方導電性接着剤であっても、带状の剥離紙状に各回路基板と対応させて個片の異方導電性接着剤（フィルム状のもの）を設けておき、その带状の剥離紙によって送れば、多数個連なった回路基板10に連続的に効率よく接着することができ、生産効率を向上できる。また、このように異方導電性接着剤を枠状に形成して接着すれば、半導体チップを加圧して回路基板上に搭載する際に、半導体チップと基板との間に挟まれる接着剤が加圧力により半導体チップ周囲にはみ出す量を抑制できる利点がある。

【0016】上記実施形態は異方導電性接着剤（ACF）を利用して带状基板に半導体チップを搭載して半導体装置を製造する方法である。以下の実施形態ではさらに効率的に半導体装置を製造する方法として、個片にダイシングする前の半導体ウエハを利用して半導体装置を製造する方法を示す。図7はダイシングする前の半導体ウエハ50の平面図である。半導体ウエハ50は後工程で個片にダイシングするが、まずウエハの状態で各半導体チップのすべての外部出力用のパッド52にバンプ状に電極端子54を形成する。図8に電極端子54を形成した状態を拡大して示す。図示例はワイヤボンディング

(5)

7

法によってスタッドバンプを形成したものである。電極端子54はめっき法によっても形成できる。

【0017】次に、電極端子54を形成した半導体ウエハ50を異方導電性接着剤20を介して半導体ウエハ50の全体が搭載できる大判のウエハ搭載基板60にマウントする。図9にウエハ搭載基板60の一部を拡大して示す。ウエハ搭載基板60は半導体ウエハ50に形成されている半導体チップの電極端子54の配列に一致させて電極端子接合部12aを形成したものである。回路基板10はダイシングにより個片に分割される一単位部分を示す。62はウエハ搭載基板を分割して個片とする際の分割位置に沿って設けたスリットである。回路基板10はコーナー部分で相互に連結される。ウエハ搭載基板60の分割位置にスリット62を設ける理由は、ウエハ搭載基板60に半導体ウエハ50を搭載した後、ダイシング刃で個片に分割する際にダイシング刃がウエハ搭載基板60を切断する長さを短くするためである。

【0018】図10(a)にウエハ搭載基板60の断面図を示す。ウエハ搭載基板60の構成は前述した帯状基板11の構成と同様であり、半導体チップ搭載面に電極端子接合部12aが形成され、外部接続端子の接合面にランド14が形成されている。このウエハ搭載基板60に半導体ウエハ50をマウントするため、ウエハ搭載基板60で電極端子接合部12aを形成した面に前述した実施形態で使用したものと同一異方導電性接着剤20を接着する(図10(b))。異方導電性接着剤20を接着する際に、ウエハ搭載基板60に異方導電性接着剤20を若干加圧し、剥離紙26を剥がすようにすることによってスリット62部分に異方導電性接着剤20aを充填しないようにすることができる。

【0019】異方導電性接着剤20を接着した後、ウエハ搭載基板60と半導体ウエハ50とを位置合わせし、半導体ウエハ50を仮接着する。仮接着した状態で半導体ウエハ50をウエハ搭載基板60に押圧しながら加熱して一体化するとともに、異方導電性接着剤20中に分散されている導電粒子を介してウエハ搭載基板60の電極端子接合部12aと半導体ウエハ50の電極端子54とを電氣的に接続する(図10(c))。本実施形態では外部接続端子としてはんだボール40を使用するから、次にランド14にはんだボール40を接合する。もちろん、外部接続端子としてはんだボール40以外の接続端子を使用しても良いし、外部接続端子を接合しないことも可能である。

【0020】最後に、一体に接合された半導体ウエハ50とウエハ搭載基板60とをダイシングして半導体装置を個片に切り出しする。図10(d)はダイシング刃70を用いて半導体ウエハ50とウエハ搭載基板60とをダイシングする方法を示す。ダイシングは半導体ウエハ50の半導体チップの外周形状に沿って行う。ウエハ搭載基板60にはスリット62が設けられているから、ダイ

8

シング刃70がウエハ搭載基板60に接触する範囲は狭く、ダイシング刃70はほとんど半導体ウエハ50にのみ接触してダイシングされる。ダイシングする際に異種材料を同時に切断することはダイシング刃の切断性能を低下させ、ダイシング刃を傷める難点がある。本実施形態のようにウエハ搭載基板60にスリット62を設けておくと、異方導電性接着剤20とダイシング刃70とが接する距離が短くできるから、半導体ウエハ50とウエハ搭載基板60とを一体化させた状態で確実にダイシングできるという利点がある。もちろん、ウエハ搭載基板60としてスリット62を設けない単板状のものを使用した場合でも、半導体ウエハ50とウエハ搭載基板60とを位置合わせして一体化した後、個片にダイシングする方法によって半導体装置を得ることができる。図11は本実施形態の方法によって得られた半導体装置の断面図である。

【0021】なお、上記実施形態では電極端子接合部12aを設けたウエハ搭載基板60に異方導電性接着剤20を貼着し、これに半導体ウエハ50を接合して半導体装置を得たが、この方法とは逆に、図12に示すように電極端子54を形成した半導体ウエハ50に異方導電性接着剤20をラミネートした後(図12(a))、異方導電性接着剤20を介してウエハ搭載基板60を位置合わせして接合して一体化し、半導体ウエハ50とウエハ搭載基板60とをダイシングして半導体装置とすることも可能である。

【0022】以上の半導体ウエハ50とウエハ搭載基板60とを異方導電性接着剤20を介して一体に接合してから個片に分割して半導体装置を得る方法は、半導体装置の製造効率の点からみてきわめて有効である。すなわち、半導体ウエハ50そのものを使用することから個片の半導体チップを取り扱う方法にくらべて効果的に生産性を向上させることができ、また、ウエハ搭載基板60は半導体ウエハ50と同一の配置で回路基板10となる範囲を配列するから半導体装置に使用できる回路基板10の配置密度が高まり、基板の無駄を無くして、基板の製造コストを大幅に下げることが可能になる。

【0023】

【発明の効果】本発明によれば、帯状基板の各回路基板上の半導体チップ搭載領域に予め異方導電性接着剤層を設け、その異方導電性接着剤層を軟化させると共に加圧することで、半導体チップを回路基板に好適に接合できる。従って、従来例のようなアンダーフィル工程、キューア工程が不要になり、工程を簡略化すると共に、帯状基板を使用することによって複数の回路基板を同時に処理することができ、生産効率を向上させることができる。また、半導体ウエハとウエハ搭載基板とを用いて製造する方法により、さらに半導体装置の製造効率を向上させることができる等の著効を奏する。

【図面の簡単な説明】

50

(6)

9

【図1】本発明の製造方法によって形成された半導体装置の一実施例を示す断面図である。

【図2】本発明に用いる異方導電性接着剤の一実施例を示す断面図である。

【図3】本発明の製造方法を説明する工程図である。

【図4】带状基板に带状の異方導電性接着剤が貼着される状態を説明する平面図である。

【図5】带状基板に個片の異方導電性接着剤が貼着された状態を示す平面図である。

【図6】带状基板に枠状個片の異方導電性接着剤が貼着された状態を示す平面図である。

【図7】半導体ウエハの平面図である。

【図8】半導体ウエハにスタッドバンプ形状の電極端子を形成した状態の断面図である。

【図9】ウエハ搭載基板の一部を拡大して示す平面図である。

【図10】半導体ウエハとウエハ搭載基板とを用いて半導体装置を製造する方法を示す説明図である。

【図11】本発明方法によって得られた半導体装置の断面図である。

【図12】半導体ウエハにウエハ搭載基板を接合して半導体装置を製造する方法を示す説明図である。

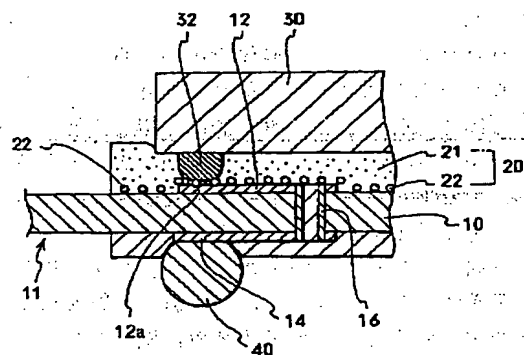
10

【図13】従来の製造方法によって形成された半導体装置を示す断面図である。

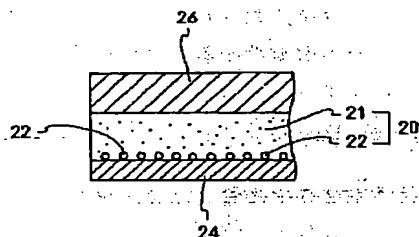
【符号の説明】

- 10 回路基板
- 11 带状基板
- 12 配線パターン
- 12a 電極端子接合部
- 14 ランド
- 20 異方導電性接着剤
- 21 接着剤
- 22 導電粒子
- 24 剥離紙
- 26 剥離紙
- 30 半導体チップ
- 32 電極端子
- 40 はんだボール
- 50 半導体ウエハ
- 54 電極端子
- 60 ウエハ搭載基板
- 62 スリット
- 70 ダイシング刃

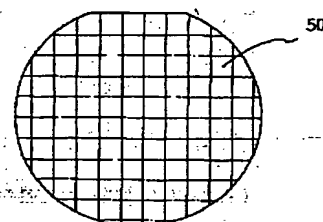
【図1】



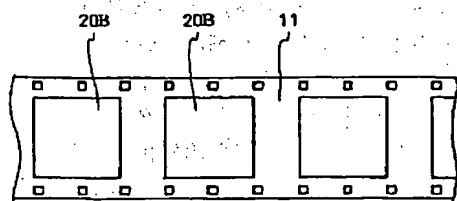
【図2】



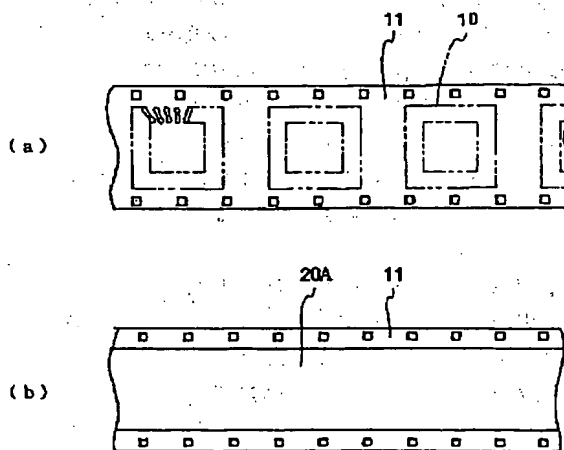
【図7】



【図5】

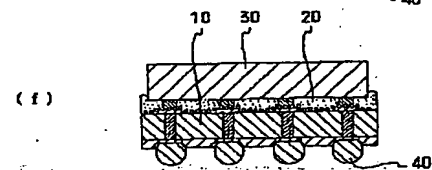
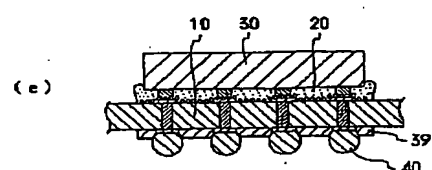
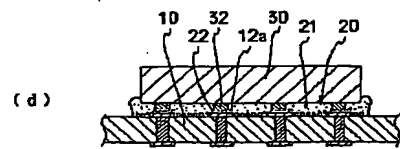
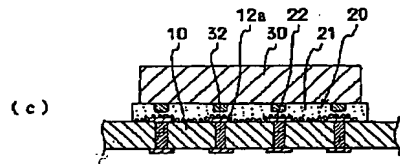
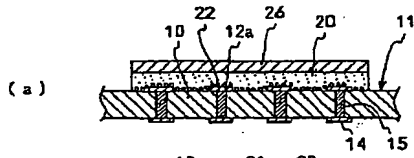


【図4】

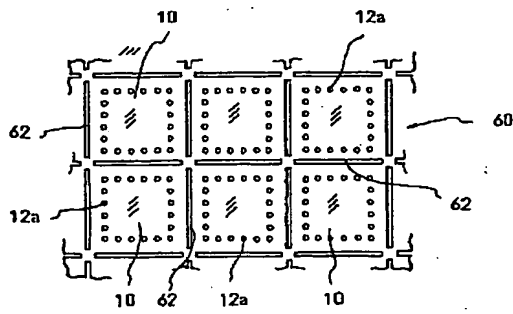


(7)

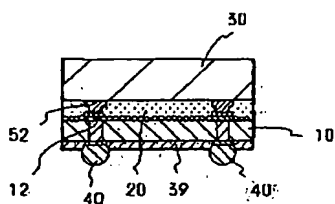
【図3】



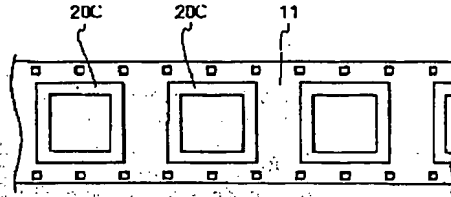
【図9】



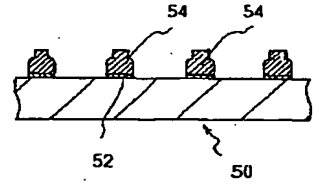
【図11】



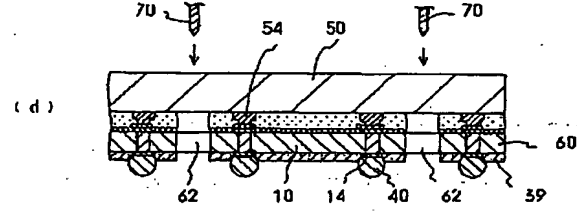
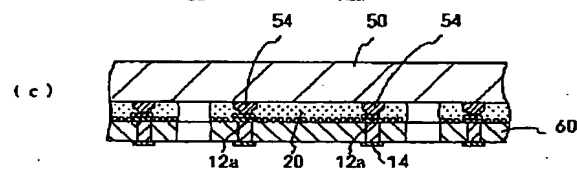
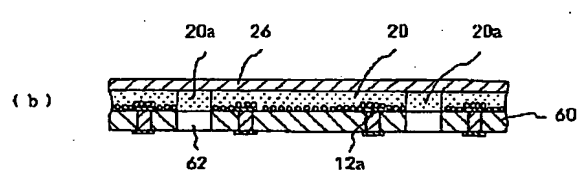
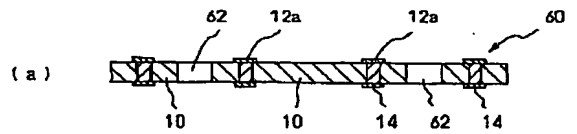
【図6】



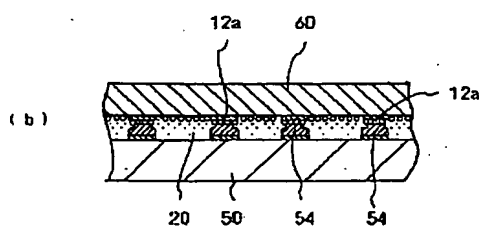
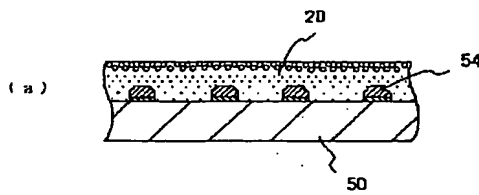
【図8】



【図10】

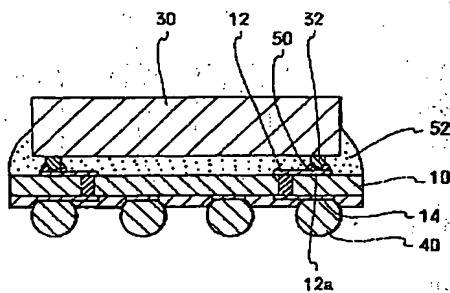


【図12】



(8)

【図13】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成13年11月2日(2001.11.2)

【公開番号】特開平10-84014

【公開日】平成10年3月31日(1998.3.31)

【年通号数】公開特許公報10-841

【出願番号】特願平9-138579

【国際特許分類第7版】

H01L 21/60 311

【FI】

H01L 21/60 311 S

【手続補正書】

【提出日】平成13年2月14日(2001.2.14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 半導体チップ搭載領域の内方に半導体チップに形成された電極端子と同一の配置で電極端子接合部が設けられた回路基板を長手方向に多数個連ねて形成された带状基板の前記電極端子接合部が設けられた面に、少なくとも前記半導体チップ搭載領域に対応して、熱硬化性または熱可塑性樹脂材の中に導電粒子が分散されて成る異方導電性接着剤層を形成した後、前記異方導電性接着剤層を軟化させ、前記半導体チップを、電極端子と前記電極端子接合部とを対向させ、前記異方導電性接着剤層を加圧して前記電極端子と前記電極端子接合部とを前記導電粒子を介して電気的に接続するとともに、前記回路基板に一体に接合することを特徴とする半導体装置の製造方法。

【請求項2】 前記異方導電性接着剤層を、異方導電性樹脂フィルムを用いて形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記回路基板として、フレキシブル樹脂基板を用いることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 前記異方導電性接着剤層を、前記電極端子接合部に沿って枠状に形成することを特徴とする請求項1、2または3記載の半導体装置の製造方法。

【請求項5】 前記異方導電性接着剤層を、前記带状基板の長手方向に沿って、少なくとも前記回路基板の半導体チップ搭載領域を含むように一連に被覆することを特徴とする請求項1、2、3または4記載の半導体装置の製造方法。

【請求項6】 前記回路基板は、前記配線パターンが形

成された面の反対面に配線パターンと電気的に接続されたランド部を備えており、前記回路基板に前記半導体チップを搭載した後、前記ランド部に外部接続端子を接合することを特徴とする請求項1、2、3、4または5記載の半導体装置の製造方法。

【請求項7】 パンプ状の電極端子が設けられた半導体チップが複数個形成された半導体ウエハと、前記各々の半導体チップに対応して前記電極端子と同一の配置で電極端子接合部が設けられたウエハ搭載基板とを、前記電極端子と前記電極端子接合部とを対向させ、樹脂材の中に導電粒子が分散されて成る異方導電性接着剤を用いて前記電極端子と前記電極端子接合部とを電気的に接続して一体に接合する半導体装置の製造方法であって、前記ウエハ搭載基板の前記電極端子接合部を形成した面に前記異方導電性接着剤からなる異方導電性接着剤層を形成し、

前記半導体ウエハと前記ウエハ搭載基板を位置合わせし、前記異方導電性接着剤層を介して一体に接合すると共に前記電極端子と電極端子接合部とを電気的に接続した後、前記各半導体チップの外周形状に沿って前記半導体ウエハおよび前記ウエハ搭載基板をダイシングして個片に分割することを特徴とする半導体装置の製造方法。

【請求項8】 前記ウエハ搭載基板は、その分割位置に沿ってスリットが設けられており、スリットの位置でダイシングすることを特徴とする請求項7記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】また、前記異方導電性接着剤層を、異方導電性樹脂フィルムを用いて形成すること、前記回路基板として、フレキシブル樹脂基板を用いることで、リール状の形態で連続送りを好適に行うことができ、前記異方

(2)

1

導電性接着剤層を、前記電極端子接合部に沿って枠状に形成することで、接着剤のはみ出しを抑制できるなど、効率良く製造できる。また、前記異方導電性接着剤層を、前記帯状基板の長手方向に沿って、少なくとも前記回路基板の半導体チップ搭載領域を含むように一連に被覆することで、帯状基板に異方導電性接着剤層を効率良く形成することができる。また、前記回路基板は、前記配線パターンが形成された面の反対面に配線パターンと電気的に接続されたランド部を備えており、前記回路基板に前記半導体チップを搭載した後、前記ランド部に外部接続端子を接合することで、効率よく半導体装置を製造することができる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】また、バンプ状の電極端子が設けられた半

2

導体チップが複数個形成された半導体ウエハと、前記各々の半導体チップに対応して前記電極端子と同一の配置で電極端子接合部が設けられたウエハ搭載基板とを、前記電極端子と前記電極端子接合部とを対向させ、樹脂材の中に導電粒子が分散されて成る異方導電性接着剤を用いて前記電極端子と前記電極端子接合部とを電気的に接続して一体に接合する半導体装置の製造方法であって、前記ウエハ搭載基板の前記電極端子接合部を形成した面に前記異方導電性接着剤からなる異方導電性接着剤層を形成し、前記半導体ウエハと前記ウエハ搭載基板を位置合わせし、前記異方導電性接着剤層を介して一体に接合すると共に前記電極端子と電極端子接合部とを電気的に接続した後、前記各半導体チップの外周形状に沿って前記半導体ウエハおよび前記ウエハ搭載基板をダイシングして個片に分割することを特徴とする。また、前記ウエハ搭載基板は、その分割位置に沿ってスリットが設けられており、スリットの位置でダイシングすることを特徴とする。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.